

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-022880

(43)Date of publication of application : 24.01.1995

(51)Int.Cl.

H03G 3/30

(21)Application number : 05-164936

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 05.07.1993

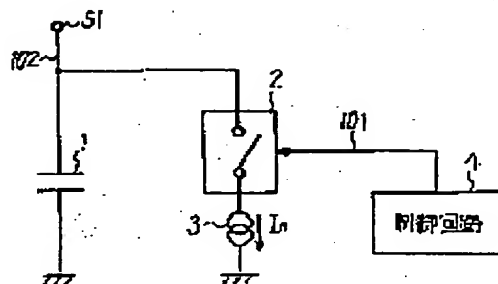
(72)Inventor : YURI HIDEYUKI  
OKUBO BUNICHI

## (54) DISCHARGING CIRCUIT

## (57)Abstract:

**PURPOSE:** To properly set the time constant without changing the value of a resistance or a capacity in the discharging circuit used in an automatic gain control circuit, an automatic level control circuit, or the like.

**CONSTITUTION:** This discharging circuit is provided with a series circuit including a switch circuit 2 and a constant current source 3 of a current  $I_0$ , which are connected in parallel with a capacity 1 as the discharge object, and a control circuit 4 which controls open/close of a switch circuit 2, and open/close of the switch circuit 2 is controlled by a pulse control signal 101 having a period  $T$  and a pulse width  $\Delta T$  outputted from the control circuit 4, and the switch circuit 2 is set to the close state and the electric charge of the capacity 1 is discharged by the discharging current  $I_0$  in the period of  $\Delta T$ , but the switch circuit 2 is set to the open state and the electric charge of the capacity 1 is not discharged in the other period. Thus, the electric charge of the capacity 1 is discharged in the state that the potential in a terminal 51 is slowly reduced.



## LEGAL STATUS

[Date of request for examination] 18.07.1997

[Date of sending the examiner's decision of rejection] 04.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

**THIS PAGE BLANK (USPTO)**

(11)特許出願公開番号

特開平7-22880

(43)公開日 平成7年(1995)1月24日

### 技術表示箇所

**B 7350-5 J**

審査請求 未請求 請求項の数3 O.L (全 7 頁)

(22)出願日 平成5年(1993)7月5日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 堯明者：百合 秀之

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(72)発明者 大久保 文一

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

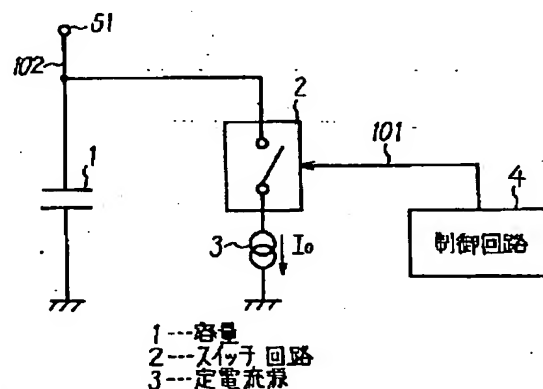
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 放電回路

(57) 【要約】

【目的】自動利得制御回路および自動レベル制御回路等において用いられる放電回路の時定数を、抵抗または容量の値を変えることなく、適宜に設定することがかできる放電回路を実現する。

【構成】本発明の放電回路は、放電対象の容量1に対して、並列接続されるスイッチ回路2および電流I。の定電流源3を含む直列回路と、前記スイッチ回路2の「接」／「断」を制御する制御回路4とを備えて構成されており、制御回路4より出力される周期T、パルス幅ΔTのパルス制御信号101により、スイッチ回路2の「接」／「断」が制御され、ΔTの期間においてはスイッチ回路2は「接」の状態となつて容量1の電荷が放電電流I。にて放電され、それ以外の期間においては「断」の状態となつて容量1の電荷は放電されることがない。これにより、容量1の電荷は、端子51における電位が緩やかに低減する状態において放電される。



【特許請求の範囲】

【請求項１】 放電対象の容量に対して、並列接続されるスイッチ回路および定電流源を含む直列回路と、前記スイッチ回路の「接」／「断」を制御する制御回路と、を備えることを特徴とする放電回路。

【請求項２】 前記制御回路が、所定周期のパルス信号を生成して出力するパルス波発生回路と、当該パルス信号を遅延して出力する遅延回路と、当該遅延回路より出力される遅延パルス信号を反転して出力するインバータと、前記パルス波発生回路より出力されるパルス信号および前記インバータより出力される反転遅延パルス信号との論理積をとって出力するAND回路とにより構成され、当該AND回路の出力を、前記スイッチ回路の「接」／「断」を制御するパルス制御信号として出力することを特徴とする請求項１記載の放電回路。

【請求項３】 前記制御回路が、外部より供給されるパルス信号の周波数を分周し、分周パルス信号を出力する分周回路と、当該分周パルス信号を遅延して出力する遅延回路と、当該遅延回路より出力される遅延分周パルス信号を反転して出力するインバータと、前記分周回路より出力される分周パルス信号および前記インバータより出力される反転遅延分周パルス信号との論理積をとって出力するAND回路とにより構成され、当該AND回路の出力を、前記スイッチ回路の「接」／「断」を制御するパルス制御信号として出力することを特徴とする請求項１記載の放電回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】 本発明は放電回路に関し、特にオーディオ増幅回路等の自動利得制御回路または自動レベル制御回路において使用される時定数回路に適用される放電回路に関する。

【０００２】

【従来の技術】 従来、一般に自動利得制御回路または自動レベル制御回路において使用される時定数回路においては、当該時定数回路の一部として放電回路が用いられており、前記自動利得制御回路または自動レベル制御回路に対する入力信号レベルが急激に増大するような場合には、増幅回路の出力レベルを一定に保持するために、速い応答速度で当該増幅回路の利得を低下させるとともに、復帰時には、増幅回路による良好の聴感特性を得るために、短時間内において信号レベルの変動を小さい値に抑制することを考慮し、放電回路に対しては、緩やかに復帰させる機能を持たせている。

【０００３】 図７は、従来の放電回路を用いた自動利得制御回路の一例を示すブロック図である。電圧制御増幅回路２１および整流回路２２に対応して、容量１９および抵抗２０を含む時定数回路１８が設けられており、抵抗２０が、容量１９に対応する放電回路として形成され

ている。入力端子５３より入力される信号は電圧制御増幅回路２１において増幅され、その出力信号は、出力端子５５より外部に出力されるとともに、整流回路２２に輸入されて整流される。整流回路２２の出力は、端子５１を介して時定数回路１８に輸入され、時定数回路１８により平滑されて、電圧制御増幅回路２１に対する利得制御信号１０２として出力される。即ち、従来のこの種の時定数回路に用いられる放電回路としては、電圧制御増幅回路２１の出力が整流回路２２により平滑化される際に、充放電される容量１９の電荷の放電回路としては、抵抗２０そのものが用いられている。なお、図９（ａ）に示されるのは、整流回路２２による整流出力波形の一例であり、また図９（ｂ）は、この整流出力に応じて、時定数回路１８を介して得られる制御信号１０２の波形を示している。

【０００４】 入力端子５３に輸入される信号のレベルが急激に増大する場合には、上記の図９（ａ）および

（ｂ）に示されるように、平滑回路２２および時定数回路１８により生成される制御信号１０２も大きく変動して出力されて、電圧制御増幅回路２１に輸入される。これにより、電圧制御増幅回路２１に対して高レベルの信号が輸入される場合においても、それに即応して利得が制御されて出力レベルが抑制され、入力レベルが元のレベルに低下した後においては、制御信号１０２のレベルも緩やかに復帰するように動作する。この復帰動作については、容量１９に蓄積された電荷が抵抗２０を介して放電する過程において行われており、図７の制御端子５１における制御信号１０２のレベルは、復帰開始時点 $t_0$ における電位レベル $V_S$ に対応して、容量１９（容量値 $C_{19}$ ）と抵抗２０（抵抗値 $R_{20}$ ）との時定数により、図８に示されるように低下してゆく。

【０００５】

【発明が解決しようとする課題】 上述した従来の放電回路においては、並列接続される容量１９と抵抗２０とにより形成される時定数回路１８において、前述のように、端子５１における利得制御信号１０２のレベル復帰時には、電圧制御増幅回路２１による良好の聴感特性を得るために、短時間内に信号レベルの変動を小さい値に抑制する必要があり、放電回路に対しては緩やかな利得制御信号１０２のレベル復帰機能が求められるが、このためには、時定数回路１８における放電時間を長くする必要があり、この要求に対応するためには、容量１９の容量値を大きくするか、または抵抗２０の抵抗値を大きくするより他には方法がない。しかしながら、容量値を大きくすると、充電時には充電時間に多大の時間を要する結果となり、自動電圧制御回路等において使用される場合に、電圧制御増幅回路２１に対する入力信号のレベルが短時間内に急激に増大するような場合においては、当該電圧制御増幅回路２１に対する利得制御信号１０２としては、その入力信号レベル変化に追

随することができずに応答動作が遅れ、電圧制御増幅回路21からは、その間に所定レベル以上の異常信号が継続して出力されるという欠点がある。

【0006】また、時定数回路に含まれる容量自体ならびに抵抗自体についても、これらの抵抗値および容量値を増大することに伴ない形状寸法も大となり、半導体チップ・サイズならびにコスト面における制約上の問題を生じるという欠点がある。

【0007】

【課題を解決するための手段】本発明の放電回路は、放電対象の容量に対して、並列接続されるスイッチ回路および定電流源を含む直列回路と、前記スイッチ回路の「接」／「断」を制御する制御回路と、を備えることを特徴としている。

【0008】なお、前記制御回路は、所定周期のパルス信号を生成して出力するパルス波発生回路と、当該パルス信号を遅延して出力する遅延回路と、当該遅延回路より出力される遅延パルス信号を反転して出力するインバータと、前記パルス波発生回路より出力されるパルス信号および前記インバータより出力される反転遅延パルス信号との論理積をとって出力するAND回路とにより構成され、当該AND回路の出力を、前記スイッチ回路の「接」／「断」を制御するパルス制御信号として出力することを特徴としてもよく、または、前記制御回路は、外部より供給されるパルス信号の周波数を分周し、分周パルス信号を出力する分周回路と、当該分周パルス信号を遅延して出力する遅延回路と、当該遅延回路より出力される遅延分周パルス信号を反転して出力するインバータと、前記分周回路より出力される分周パルス信号および前記インバータより出力される反転遅延分周パルス信号との論理積をとって出力するAND回路とにより構成され、当該AND回路の出力を、前記スイッチ回路の「接」／「断」を制御するパルス制御信号として出力することを特徴としてもよい。

【0009】

【実施例】次に、本発明について図面を参照して説明する。

【0010】図1は本発明の基本構成図である。図1に示されるように、本発明は、電圧制御増幅回路（図示されない）に対する制御端子51に対応して、時定数回路として機能する容量1と、スイッチ回路2と、定電流源3と、スイッチ回路2に対する制御回路4とを備えて構成される。また、図2（a）および（b）は、当該基本構成図における、制御回路4より出力される制御パルス信号101と、制御端子51における制御信号102のレベルを示すタイミング図である。

【0011】図1において、本放電回路が自動利得制御回路に利用される場合において、当初の制御端子51における制御信号102のレベルは、図2（b）に示されるように $V_s$ であるものとする。この状態において、制

御回路4より、パルス幅 $\Delta T$ 、周期 $T$ の制御パルス信号101がスイッチ回路2に入力されて、パルス幅の時間 $\Delta T$ の間スイッチ回路2は「接」の接続状態となり、容量1に蓄積されている電荷が電流源3を通して放電される。時間 $\Delta T$ の経過後においては、スイッチ回路2は「断」の接続状態となり、容量1の蓄積電荷の放電経路が遮断されるために、制御端子51の制御信号102のレベルは、そのままに保持され、次のパルス制御信号101の入力により再度放電が行われる。この動作状態に対応する制御信号102のレベルの推移は、図2（b）に示されるとおりである。即ち、本発明の放電回路においては、容量1に対応して、パルス制御信号101を生成して出力する制御回路4と、このパルス制御信号101を受けて「接」／「断」の動作を制御されるスイッチ回路2とを設けることにより、図2（b）に示されるように、放電時における制御信号102のレベルを、緩やかに放電させることが可能となり、本放電回路を自動利得制御回路に利用する場合に、容量1の容量値を増大させることなく、電圧制御増幅回路による良好の感度特性を得ることができる。

【0012】図3は、本発明の第1の実施例を示す回路図である。図3に示されるように、本実施例は、時定数回路として機能する容量1と、NPNトランジスタ5、6、9および10、PNPトランジスタ7および8、定電圧源11を含むスイッチ回路2と、定電流源3と、パルス波発生回路12、遅延回路13、インバータ14およびAND回路15を含む制御回路4とを備えて構成される。また、図4（a）、（b）、（c）および（d）は、それぞれ本実施例における、制御回路4におけるパルス信号103、104、制御回路4より出力されるパルス制御信号101、および端子51における利得制御信号102のレベルを示すタイミング図である。

【0013】本実施例を自動利得制御回路として用いる場合において、容量1に蓄積されている電荷の放電開始前における端子51の電位レベルを $V_s$ とする。制御回路4に含まれるパルス波発生回路12より出力されるパルス信号103（図4（a）参照）は、AND回路15に入力されるとともに、遅延回路13に入力されて所定の時間 $\Delta T$ 遅延されて出力され、インバータ14において反転されてパルス信号104（図4（b）参照）として出力されてAND回路15に入力される。AND回路15においては、パルス信号103およびパルス信号104の論理積がとられて、パルス幅が $\Delta T$ のパルス制御信号101が生成されて出力され、スイッチ回路2に含まれるNPNトランジスタ10のベースに入力される。

【0014】スイッチ回路2においては、制御回路4より入力されるパルス制御信号101のレベルがロウレベルの時には、NPNトランジスタ10はオフの状態となっており、定電流源3に流れる電流 $I_0$ は、NPNトランジスタ9に流れる電流と等しくなる。この場合には、

NPNトランジスタ10には電流が流れないため、PNPトランジスタ8にも電流が流れず、従って、PNPトランジスタ7および8により形成されるカレントミラー回路にも電流は流れない。これにより、NPNトランジスタ6にも電流が流れず、NPNトランジスタ6とカレントミラー回路を形成しているNPNトランジスタ5にも電流は流れない。即ちNPNトランジスタ5はオフとなって、容量1に蓄積されている電荷は放電されることなく、そのまま保持されている。

【0015】他方、制御回路4より出力されるパルス制御信号101が、パルス幅に対応する時間帯 $\Delta T$ の間、ハイレベルの時には、NPNトランジスタ10がオンの状態となって定電流源3を通して電流 $I_o$ が流れ、これにより、PNPトランジスタ8とカレントミラー回路を形成するPNPトランジスタ7にも電流 $I_o$ が流れ、更に、カレントミラー回路を形成するNPNトランジスタ

$$V = V_s - (\Delta T \cdot I_o) \quad t / TC \dots \dots \dots (1)$$

即ち、制御回路2におけるパルス波発生回路12より出力されるパルス信号103の周期 $T$ 、遅延回路13における遅延時間 $\Delta T$ 、容量1の容量値 $C$ および定電流源3の電流値 $I_o$ をを適当に選定することにより、図4

(d)に示される利得制御信号102の放電特性を任意に設定することができる。

【0017】次に、本発明の第2の実施例について説明する。図5に示されるように、本実施例は、他のブロック内のパルス波発生回路12に対応して、時定数回路として機能する容量1と、NPNトランジスタ5、6、9および10、PNPトランジスタ7および8、定電圧源11を含むスイッチ回路2と、定電流源3と、遅延回路13、分周回路17、インバータ14およびAND回路15を含む制御回路4とを備えて構成される。なお、本実施例は、パルス波発生回路12を、半導体集積回路内の他のブロックより引用して利用する場合の一実施例である。また、図4(a)、(b)、(c)および(d)は、それぞれ本実施例における、制御回路4におけるパルス信号103、104、制御回路4より出力されるパルス制御信号101、および端子51における利得制御信号102のレベルを示すタイミング図である。

【0018】図3との対比により明らかなように、本実施例は、容量1およびスイッチ回路2については、前述の第1の実施例の構成と全く同様であり、制御回路16が、分周回路17、遅延回路13、インバータ14およびAND回路15により形成されて、ブロック外において他用されているパルス波発生回路12を流用している点が、第1の実施例の場合とは異なっている。即ち、本実施例の場合には、当該放電回路外のパルス波発生回路12より、所要のパルス信号を引用することにより、所

$$V = V_s - (\Delta T \cdot I_o) \quad t / 2 TC \dots \dots \dots (2)$$

また、分周器17において $N$ 分周する場合には、この場合における放電時における利得制御信号102のレベル

5および6にも $I_o$ の電流が流れる。従って、容量1に蓄積されている電荷は、制御回路2より出力されるパルス制御信号101がハイレベルとなる時間帯 $\Delta T$ の間においてのみ、NPNトランジスタ5の電流 $I_o$ を介して放電され、それ以外の時間帯においては、放電回路が形成されることはなく、電荷はそのまま容量1内に保持されている。従って、端子51における利得制御信号102のレベルも、一定に保持されている。この利得制御信号102のレベル推移の状態は図5(d)に示されるとおりである。この場合における放電特性は、端子51における初期の利得制御信号102の電位レベルを $V_s$ 、容量1の容量値を $C$ とすると、利得制御信号102の電位レベル $V$ の推移は、時間変数を $t$ として、次式により表わされる。

【0016】

要のパルス制御信号が生成されている。パルス波発生回路12より出力されるパルス信号の周波数は、必ずしも当該放電回路用としては適合していない。この対策として、本実施例においては、制御回路16内に、パルス波発生回路12より入力されるパルス信号の周波数を、放電回路におけるパルス制御信号生成用として適当な周波数に低減させる分周回路17が設けられている。今、この分周回路17の分周比を $1/2$ とすると、この分周回路17より出力されるパルス信号103(図6(a)参照)は、図4(a)に示されるパルス信号103に比較して $1/2$ の周波数のパルス信号として出力され、AND回路15に入力されるとともに、遅延回路13に入力される。そして、第1の実施例の場合と同様に、遅延回路13においては所定の時間 $\Delta T$ 遅延されて出力され、インバータ14において反転されてパルス信号104(図6(b)参照)として出力されてAND回路15に入力される。AND回路15においては、パルス信号103およびパルス信号104の論理積がとられてパルス幅が $\Delta T$ のパルス制御信号101(図6(c)参照)が生成されて出力され、スイッチ回路2に含まれるNPNトランジスタ10のベースに入力される。以下のスイッチ回路2および容量1における放電動作については、前述の第1の実施例の場合と同様であり、放電時における端子51における利得制御信号102のレベルの推移は、本実施例においては、パルス制御信号101の周期が、分周器17により2倍の値となるため、図6(d)に示されるようになる。なお、前記(1)式に対応する数式としては、次式が得られる。

【0019】

の推移は次式により与えられる。

【0020】

$$V = V_s - (\Delta T \cdot I_0) \cdot t / NTC \dots \dots \dots (3)$$

なお、上記の第1および第2の実施例において、スイッチ回路を構成しているNPNトランジスタをPNPトランジスタに置換え、且つPNPトランジスタをNPNトランジスタに置換えて、高電位電源および低電位電源の接続を調整することによっても、同様の効果が得られることは云うまでもない。また、充放電対象の容量に対して、並列に抵抗を接続する場合においても、或はまた、定電流源の代わりに抵抗を接続することによっても、これらの抵抗値を適切な値に設定することにより、本発明が有効に適用される。

【0021】

【発明の効果】以上説明したように、本発明は、充放電の対象となる容量に対して、定電流源とスイッチ回路とより形成される直列回路を並列に接続し、前記スイッチ回路の「接」／「断」をパルス信号により制御することにより、前記容量に蓄積されている電荷の放電時間を、所望の時間に調整することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の基本構成を示す図である。

【図2】前記基本構成における各部のレベル関係を示すタイミング図である。

【図3】本発明の第1の実施例を示す構成図である。

【図4】第1の実施例における各部のレベル関係を示すタイミング図である。

【図5】本発明の第2の実施例を示す構成図である。

【図6】第2の実施例における各部のレベル関係を示すタイミング図である。

【図7】従来例を示す構成図である。

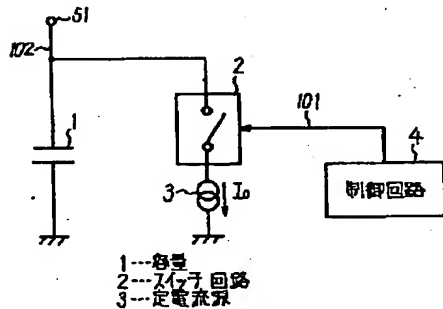
【図8】従来例における放電電位レベル変化を示すタイミング図である。

【図9】従来例における整流出力を示す図である。

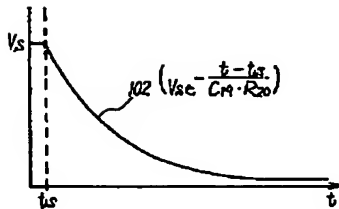
【符号の説明】

- 1 容量
- 2 スwitch回路
- 3 定電流源
- 4、16 制御回路
- 5、6、9、10 NPNトランジスタ
- 7、8 PNPトランジスタ
- 11 定電圧源
- 12 パルス波発生回路
- 13 遅延回路
- 14 インバータ
- 15 AND回路
- 17 分周回路
- 18 時定数回路
- 19 容量
- 20 抵抗
- 21 電圧制御増幅回路
- 22 整流回路

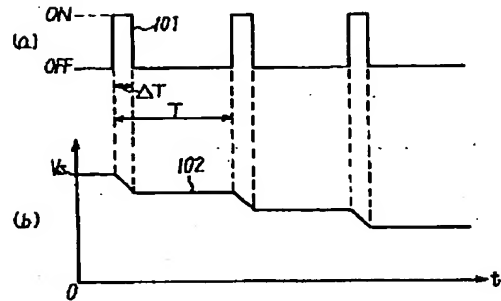
【図1】



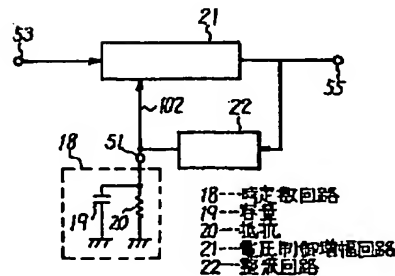
【図8】



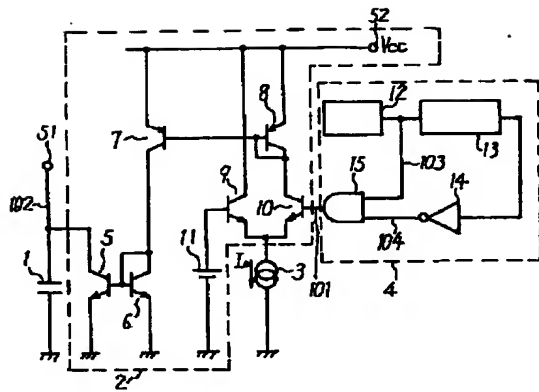
【図2】



【図7】

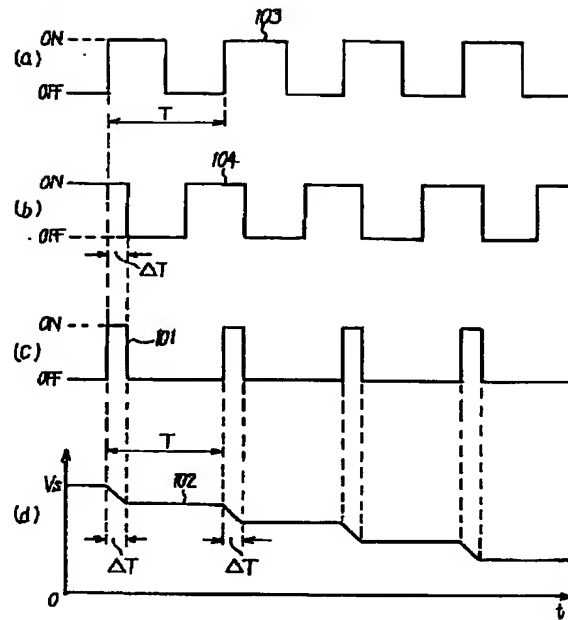


【図3】

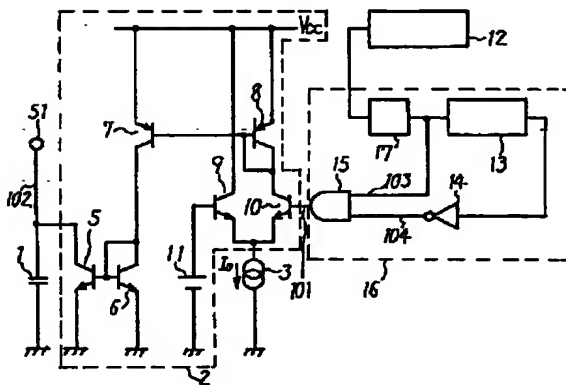


- 1---容量
- 2---スイッチ回路
- 3---定電流源
- 4---制御回路
- 5, 6, 9, 10---NPNトランジスタ
- 7, 8---PNPトランジスタ
- 11---定電圧源
- 12---パルス発生回路
- 13---遅延回路
- 14---インバータ
- 15---AND回路

【図4】

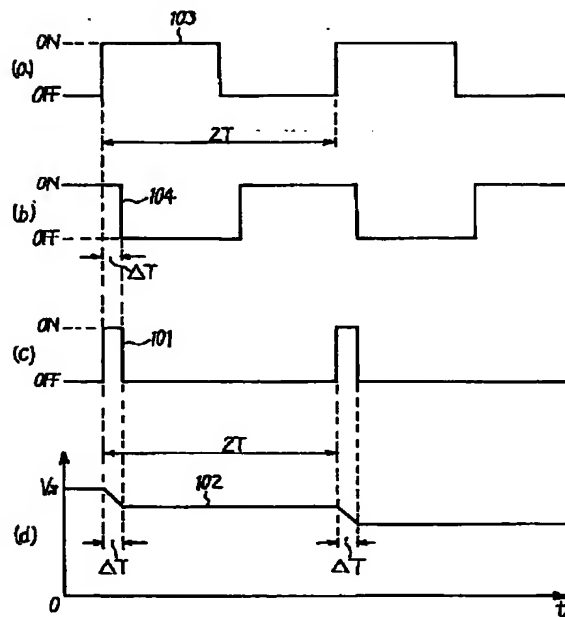


【図5】



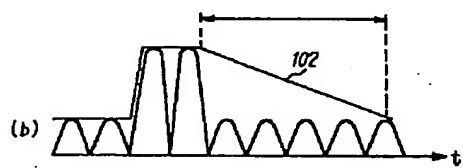
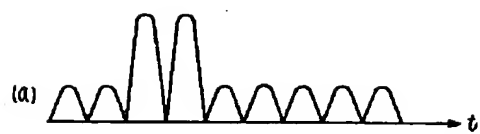
- 1---容量
- 2---スイッチ回路
- 3---定電流源
- 5, 6, 9, 10---NPNトランジスタ
- 7, 8---PNPトランジスタ
- 11---定電圧源
- 12---パルス発生回路
- 13---遅延回路
- 14---インバータ
- 15---AND回路
- 16---制御回路
- 17---分割回路

【図6】





【图 9】



**THIS PAGE BLANK (USPTO)**